

Docket No.: Z&P-INF-P10802

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : DIETRICH BONART ET AL.
Filed : CONCURRENTLY HEREWITH
Title : VERTICAL TRANSISTOR, AND A METHOD FOR PRODUCING
A VERTICAL TRANSISTOR

CLAIM FOR PRIORITY

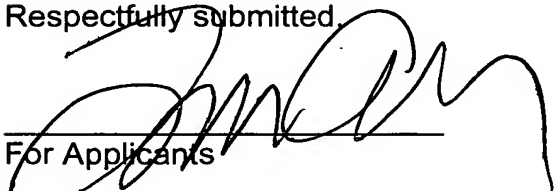
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119,
based upon the German Patent Application 102 30 715.6, filed July 8, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted
herewith.

Respectfully submitted,



For Applicants

LAURENCE A. GREENBERG
REG. NO. 29,308

Date: July 8, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/kf

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 30 715.6

Anmeldetag: 08. Juli 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Vertikaltransistor und Verfahren zur Herstellung
eines Vertikaltransistors

IPC: H 01 L 21/8242

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 23. Juni 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag



Wegner



Zusammenfassung

Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung eines Vertikaltransistors sowie einen Vertikaltransistor. Durch die Verwendung eines Opfer-Gateoxids und einer Opfer-Gateelektrode während der Herstellung des Vertikaltransistors können negative Auswirkungen, welche die Erzeugung von Isolationsstrukturen zwischen den Vertikaltransistoren üblicherweise mit sich bringen, deutlich vermindert bzw. ganz vermieden werden. Insbesondere können Verbreiterungen des Gateoxids am Rande der Gateelektrode verhindert und der Rand der Gateelektrode gezielt beeinflußt werden. Auf diese Weise lassen sich Vertikaltransistoren mit einer gezielt einstellbaren Strom-Spannungs-Charakteristik herstellen. Insbesondere können Vertikaltransistoren mit einem ausgeprägten Ecken-Effekt hergestellt werden.

Figur 1-13

Figur zur Zusammenfassung

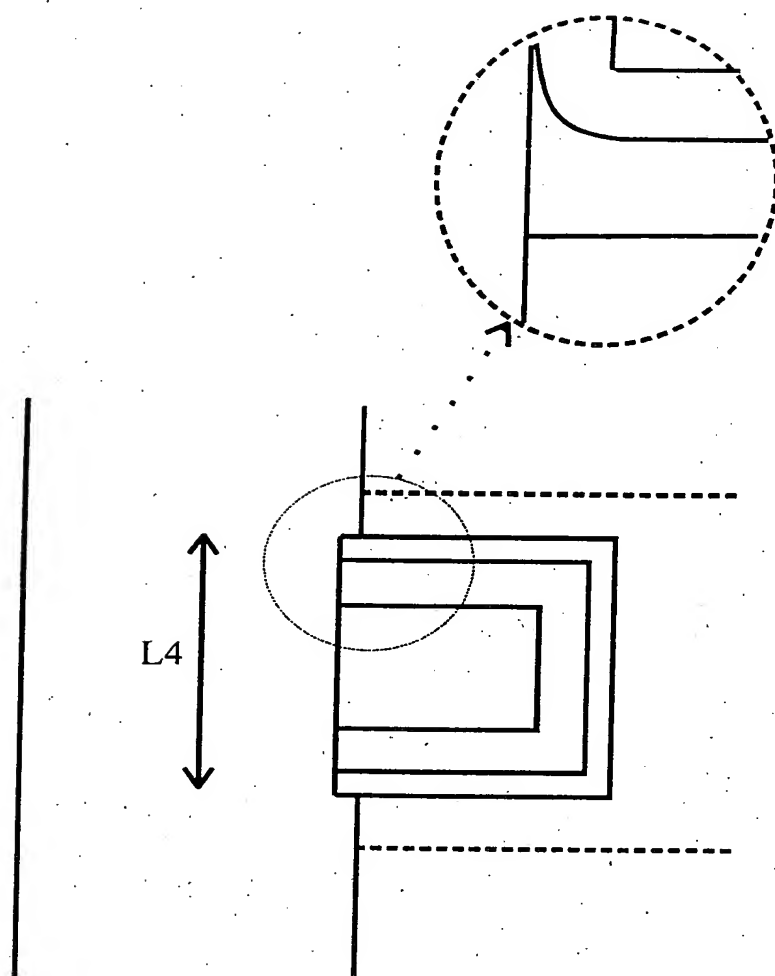


Fig. 1-13

Beschreibung

Vertikaltransistor und Verfahren zur Herstellung eines Vertikaltransistors

5

Die Erfindung liegt auf dem Gebiet der Halbleitertechnologie, insbesondere auf dem Gebiet der Technologie für Halbleiterspeicher, und betrifft einen Vertikaltransistor und ein Verfahren zur Herstellung eines Vertikaltransistors.

10

Bei künftigen Generationen von Halbleiterprodukten wird mit Strukturbreiten F (ground rules) unter 100 nm gearbeitet. Unter einer Strukturbreite wird dabei die lithographisch minimal erreichbare Auflösung verstanden. Mit fortschreitender Verbesserung der verwendeten Lithographieverfahren lassen sich zunehmend kleinere Strukturbreiten erzielen, die jedoch immer höhere Anforderungen an den gesamten Herstellungsprozeß stellen.

20

Die zunehmende Verkleinerung der Strukturbreiten läßt bei dynamischen Halbleiterspeichern (DRAM) einen Übergang von einem planaren Auswahltransistor zu einem vertikalen Auswahltransistor, der möglicherweise in den oberen Teil des Grabenkondensators integriert ist, erwarten. Bei einem Vertikaltransistor verläuft im Gegensatz zu einem lateralen Transistor der Transistorkanal in vertikaler Richtung in Bezug auf die Hauptebene des Halbleitersubstrats. Diese Änderung in der Anordnung von Speicherkondensator und Auswahltransistor ist zum einen bedingt durch die physikalischen Grenzen, die für planare Transistoren mit Kanallängen unter 100 nm auftreten. Derart kleine Kanallängen bergen z. B. die Gefahr erhöhter Leckströme. Außerdem begrenzt der kleine Querschnitt des Kanals die Höhe des maximal fließenden Stromes. Andererseits ist der Wechsel auf ein vertikales Zellkonzept von dem Wunsch getragen, möglichst kompakte, d. h. in ihrer lateralen Ausdehnung kleine Speicherzellen zu erzielen.

35

Ein weiteres Problem, das den Wechsel auf vertikale Zellkonzepte wünschenswert erscheinen läßt, ist in der Ausbildung des Anschlusses (buried strap) der inneren Elektrode des Grabenkondensators an den Auswahltransistor zu suchen, da dieser Anschluß aufgrund der Ausdiffusion von Dotierstoffen eine gewisse Ausdehnung aufweist und dadurch die Gefahr eines Übersprechens zwischen benachbarten Speicherzellen in sich birgt. Speicherzellen mit einem Vertikaltransistor haben darüber hinaus den grundsätzlichen Vorteil, daß bei Ihnen die Kanallänge des Auswahltransistor unabhängig von der verwendeten Strukturbreite F eingestellt werden kann.

Verfahren zum Herstellen eines Vertikaltransistors in einem Graben sind zum Beispiel in der US 6,093,614 und der US 5,365,097 beschrieben. In beiden Verfahren wird an einer Seitenwand des Kondensatorgrabens eine epitaktische Halbleiterschicht zur Bildung des vertikal verlaufenden Kanalgebiets abgeschieden. Durch Ausdiffusion von Dotierstoffen aus dem mit dotierten Polysilizium gefüllten Graben entsteht in der epitaktischen Halbleiterschicht ein Drain-Gebiet.

Ein Problem bei der Konstruktion von Vertikaltransistoren ist die Verwirklichung von Transistoren mit einer zufriedenstellenden Strom-Spannungs-Charakteristik, insbesondere im Bereich der Transistorschwelle. Wünschenswert sind Transistoren, die einen möglichst geringen, so genannten "OFF-Strom" aufweisen. D.h., wenn Sperr-Spannung an dem Gate des Transistors anliegt, sollte dieser möglichst völlig geschlossen sein und möglichst keine Leckströme aufweisen, die beispielsweise zu einer schleichenden Entladung des an den Transistor angeschlossenen Speicherkondensators führen könnten. Bei Speicherzellen sollte die Entladungszeit im geschlossenen Zustand des Kondensators möglichst lange sein, damit ein häufiges Wiederaufladen der Speicherkondensatoren (refreshing) vermieden werden kann. Darüber hinaus sind Transistoren wünschenswert, die einen möglichst grossen "ON-Strom" aufweisen,

damit der Speicherkondensator hinreichend schnell geladen und entladen werden kann.

Weiterhin sollte der Transistor im Bereich der Transistorschwelle eine möglichst schnelle Abnahme der Stromstärke mit abnehmender Spannung am Gate aufweisen. Diese Strom-Spannungs-Charakteristik wird auch als "subthreshold-slope" bezeichnet. Wenn die Strom-Spannungskurve im Bereich des Schwellenwerts eine möglichst steile Steigung aufweist, bedeutet dies, dass der Spannungsbereich, der den geschlossenen Zustand des Transistors von dem geöffneten Zustand trennt, gering ist und somit der Transistor bereits durch eine geringe Veränderung der Gate-Spannung geöffnet oder geschlossen werden kann. Da in integrierten Schaltungen in der Regel eine Vielzahl von Transistoren durch eine gemeinsame Gatebahn angesteuert werden, ist es weiterhin wichtig, dass diese eine möglichst einheitliche Strom-Spannungs-Charakteristik aufweisen.

Daher liegt der Erfindung die Aufgabe zugrunde, einen Vertikaltransistor anzugeben, der eine zufriedenstellende Strom-Spannungs-Charakteristik aufweist. Weiterhin liegt der Erfindung die Aufgabe zugrunde ein entsprechendes Verfahren zur Herstellung eines Vertikaltransistors anzugeben.

Diese Aufgabe wird von dem Verfahren zur Herstellung eines Vertikaltransistors gemäß dem unabhängigen Patentanspruch 1 bzw. von dem Vertikaltransistor gemäß dem unabhängigen Patentanspruch 16 gelöst. Weitere vorteilhafte Ausführungsformen, Ausgestaltungen und Aspekte der vorliegenden Erfindung ergeben sich aus den abhängigen Patentansprüchen, der Beschreibung und den beiliegenden Zeichnungen.

Im Rahmen der vorliegenden Erfindung wurde festgestellt, dass bei der herkömmlichen Herstellung von Vertikaltransistoren am Gaterand in der Regel eine Verbreiterung des Gateoxids, häufig in Form eines sogenannten „Vogelschnabels“,

ausgebildet wird. Diese Verbreiterung ergibt sich beispielsweise als ein Nebeneffekt bei der Herstellung einer Grabenisolation in unmittelbarer Nähe zu dem Vertikaltransistor. Während der bei der Herstellung einer Grabenisolation üblicherweise durchgeführten thermischen Oxidation wird an der Grenzfläche zwischen Gate und Gateoxid das Gate ebenfalls teilweise oxidiert, wodurch sich das Gateoxid in diesem Bereich verbreitert, wobei die Verbreiterung mit zunehmenden Abstand vom Grabenrand abnimmt und sich somit eine einem Vogelschnabel ähnliche Struktur im Gateoxid bildet. Die Ausbildung des Vogelschnabels führt zu einer Abrundung der Kante des Gates, die durch Grabenrand, Gate und Gateoxid definiert wird.

Solche Kantenabrundungen an dem Gate werden in herkömmlichen, horizontal ausgerichteten Transistoren oftmals als wünschenswert angesehen, da dadurch so genannte „Ecken-Effekte“ („Corner-Effekt“), die durch eine Erhöhung der elektrischen Feldstärke im Bereich der Kante des Gates erzeugt werden und sich nachteilig auf die Eigenschaften eines Transistors auswirken können, vermieden werden. Die der vorliegenden Erfindung zu Grunde liegende Idee liegt in der Vermeidung einer entsprechenden Verbreiterung bzw. in der Herstellung (Bereitstellung) eines Vertikaltransistors mit Ecken-Effekten.

Insbesondere wird die genannte Aufgabe gelöst durch das erfindungsgemäße Verfahren zur Herstellung eines Vertikaltransistors mit einem Gate, einem Gateoxid, einem oberen und unteren Source/Drain-Gebiet umfassend die Schritte:

- a) zumindest ein erster Graben wird in einem Substrat erzeugt,
- b) zumindest auf einer ersten Grabenwand wird ein Opfer-Gateoxid erzeugt;

- c) auf dem Opfer-Gateoxid wird eine Opfer-Gateelektrode erzeugt;
- d) eine Isolationsstruktur zur Isolation unterschiedlicher Vertikaltransistoren wird erzeugt;
- e) die Opfer-Gateelektrode wird aus dem Graben entfernt;
- f) das Opfer-Gateoxid wird aus dem Graben entfernt;
- g) ein Gateoxid wird zumindest an der Stelle des Opfergateoxids auf der Grabenwand erzeugt;
- h) auf dem Gateoxid wird eine Gateelektrode erzeugt; und
- i) die Source/Draingebiete werden erzeugt.

Durch die Verwendung eines Opfer-Gateoxids und einer Opfer-Gateelektrode können negative Auswirkungen, welche die Erzeugung von Isolationsstrukturen zwischen den Vertikaltransistoren üblicherweise mit sich bringen, deutlich vermindert bzw. ganz vermieden werden. Insbesondere können Verbreiterungen des Gateoxids am Rande der Gateelektrode verhindert und der Rand der Gateelektrode gezielt beeinflußt werden. Auf diese Weise lassen sich Vertikaltransistoren mit einer gezielt einstellbaren Strom-Spannungs-Charakteristik fertigen. Insbesondere können Vertikaltransistoren mit einem ausgeprägten Ecken-Effekt hergestellt werden.

Im Rahmen der vorliegenden Erfindung ist es nicht notwendig, dass die Isolationsstruktur vollständig erzeugt wird bevor die Opferstrukturen wieder entfernt werden. Es ist ausreichend, wenn wesentliche Schritte bzw. die Schritte, die üblicherweise Auswirkungen auf das Gateoxid bzw. die Gateelektrode haben, in der Herstellung der Isolationsstruktur durchgeführt werden bevor die Opferstrukturen wieder entfernt werden. Dementsprechend wirken sich diese Herstellungsschritte

nur auf die Opferstrukturen und nicht auf die endgültigen Strukturen aus, wodurch sich die Bauelementcharakteristik des Vertikaltransistors deutlich verbessern läßt.

5 Weiterhin ist es nicht notwendig, dass alle Schritte des erfindungsgemäßen Verfahrens in der genannten Reihenfolge durchgeführt werden müssen. So können beispielsweise die Source/Drain-Gebiete zumindest teilweise bereits nach der Erzeugung des Grabens gebildet werden. Das untere Source/Drain-
10 Gebiet wird vorzugsweise vor der Abscheidung einer Isolations-
schicht in dem Boden des ersten Grabens hergestellt. Sowohl das obere als auch das untere Source/Drain-Gebiet können mit herkömmlichen Dotierverfahren in dem Substrat erzeugt werden.

15

Das Substrat, in dem der Vertikaltransistor strukturiert wird, besteht üblicherweise aus Silizium, das mit Bor, Phosphor oder Arsen dotiert sein kann. Zur Erzeugung des ersten Grabens können herkömmliche Ätzverfahren, mit denen Silizium
20 geätzt werden kann, verwendet werden, insbesondere chemisch-physikalische Trockenätzverfahren. Die Form des Grundrisses des Grabens kann dabei beliebig gewählt werden.

Um die Gateelektrode von dem unteren Source/Drain-Gebiet
25 zu isolieren wird bevorzugt auf den Boden des Grabens eine erste Isolationsschicht abgeschieden. In einer besonders bevorzugten Variante des erfindungsgemäßen Verfahrens ist die Isolationsschicht eine Siliziumnitridschicht. Dies hat den Vorteil, dass diese Schicht bei der nachfolgenden Entfernung
30 der Opfer-Gateelektrode und des Opfer-Gateoxids als Maske zum Schutz des unteren Source/Drain-Gebiets eingesetzt werden kann. Zur Erzeugung der Siliziumnitridschicht können herkömmliche Verfahren wie beispielsweise CVD-Verfahren oder thermische Oxidation in einer Ammoniak-haltigen Atmosphäre verwen-
35 det werden.

Sowohl das Opfer-Gateoxid als auch das Gateoxid können mit herkömmlichen Methoden zur Erzeugung dünner Oxidschichten auf der Grabenwand erzeugt werden. In einer besonders bevorzugten Ausführungsform der vorliegenden Erfindung wird das Opfer-Gateoxid und/oder das Gateoxid mittels thermischer Oxidation zumindest auf der Grabenwand erzeugt. Bevorzugt ist weiterhin die Erzeugung des Gateoxids und/oder des Opfergateoxids durch Abscheidung, vorzugsweise konformer Abscheidung, einer Oxidschicht zumindest auf der Grabenwand.

10

Als Material für die Erzeugung der Opfer-Gateelektrode und/oder der Gateelektrode kann jedes geeignete elektrisch leitfähige Material eingesetzt werden. Die Verwendung von Polysilizium als Gateelektroden-Material ist besonders bevorzugt. Zur Strukturierung der Opfer-Gateelektrode und/oder der Gateelektrode kann der erste Graben vollständig oder nur teilweise mit dem Gateelektroden-Material gefüllt werden. In einer weiteren besonders bevorzugten Ausführungsform des erfindungsgemäßen Verfahrens wird als Material für die Opfer-Gateelektrode und/oder die Gateelektrode Polysilizium verwendet. Beispielsweise kann die Gateelektrode durch eine konforme Abscheidung von Polysilizium in dem ersten Graben mit anschließender anisotroper Ätzung der abgeschiedenen Polysiliziumschicht erfolgen. Weiterhin kann die Gateelektrode aus verschiedenen Schichten von Materialien aufgebaut werden, beispielsweise aus einer Polysiliziumschicht, auf der eine Metallschicht, beispielsweise eine Wolframschicht, aufgebracht ist, die von dem Polysilizium durch eine Barrierschicht, beispielsweise eine Wolframnitridschicht, getrennt sein kann.

30

Gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung wird als Isolationsstruktur eine Grabenisolation verwendet. Dazu wird bevorzugt ein zweiter Graben erzeugt. Der zweite Graben, in dem die Grabenisolation hergestellt wird, kann unmittelbar angrenzend an einer Grabenwand des ersten Grabens oder in überlappender Weise mit dem ersten Gra-

35

ben erzeugt werden. Zur Herstellung des zweiten Grabens können herkömmliche Lithografie- und Ätzverfahren eingesetzt werden. Zu Erzeugung des zweiten Grabens wird vorzugsweise auf dem Substrat eine Maske abgeschieden und strukturiert und
5 anschließend mittels eines chemisch-physikalischen Trockenätzverfahren der zweite Graben geätzt.

Anschließend wird die Grabenisolation hergestellt, wozu in einem ersten Schritt der Boden und die Wände des zweiten
10 Grabens thermisch oxidiert werden. Im Zuge dieser thermischen Oxidation wird an der Grenzfläche zwischen erster Grabenwand und Opfer-Gateoxid ausgehend von einer Source/Drain-Kante das Silizium des Substrats oxidiert, wodurch sich ein so genannter Vogelschnabel ("bird's beak") ausbildet. Dieser Vogel-
15 schnabel wirkt sich negativ auf die Strom-Spannung-Charakteristik des Vertikaltransistors aus. Anschließend wird der zweite Graben mit einem isolierenden Material, beispielsweise Siliziumdioxid, aufgefüllt. Dabei bildet eine erste Grabenisolationswand mit der ersten Grabenwand eine Kante.
20 Weitere Schritte zur Herstellung der Grabenisolation können sich anschließen.

Um die negativen Einflüsse des Vogelschnabels auf die Strom-Spannung-Charakteristik zu vermeiden, wird in dem er-
25 findungsgemäßen Verfahren die Opfer-Gateelektrode und das Opfer-Gateoxid wieder entfernt. Dazu können erneut herkömmliche Verfahren eingesetzt werden. Für die Entfernung der Opfer-Gateelektrode werden vorzugsweise chemisch-physikalische Trockenätzverfahren eingesetzt.

30

In einer besonders bevorzugten Ausführungsform des erfindungsgemäßen Verfahrens wird das Opfer-Gateoxid mittels einer isotropen Ätzung entfernt. Besonders bevorzugt ist es hierbei, das Opfer-Gateoxid mittels einer naßchemischen Ät-
35 zung zu entfernen.

Die nachfolgende Herstellung des Gateoxids wird in einer bevorzugten Variante des erfindungsgemäßen Verfahrens durch thermische Oxidation erreicht. Durch diese Oxidation bildet sich auf den freiliegenden Bereichen der Grabenwände des ersten Grabens eine Oxidschicht auf dem Substrat aus, die das Gateoxid bildet.

Durch die Neuherstellung der Gateelektrode und des Gateoxids nachdem die thermische Oxidation des zweiten Grabens erfolgt ist, weisen diese an ihrer gemeinsamen Grenzfläche keinen Vogelschnabel auf. Die nach dem erfindungsgemäßen Verfahren erhaltene Gateelektrode weist eine vergleichsweise scharfe, erste Gateelektroden-Kante auf. Besonders bevorzugt ist es hierbei, dass die erste Gateelektroden-Kante einen inneren Winkel α von 90 Grad oder weniger aufweist. Unter dem inneren Winkel α ist hierbei der Winkel zu verstehen, mit dem die Gateelektrode, insbesondere die Grenzfläche zwischen Gateelektrode und Gateoxid, am Rande der Gateelektrode auf die Isolationsstruktur trifft. Gegenüber den herkömmlich strukturierten Gateelektroden, führt die Gateelektrode, die nach dem erfindungsgemäßen Verfahren hergestellt wurde, einen ausgeprägten Ecken-Effekt auf.

In einer weiteren besonders bevorzugten Variante des erfindungsgemäßen Verfahrens wird bei der Entfernung des Opfer-Gateoxids das isolierende Material der Grabenisolation im Bereich der ersten Grabenisolationwand entfernt, so dass zumindest eine Substratkante freigelegt wird. Dabei ist es weiterhin bevorzugt, wenn die freigelegte Substratkante nachfolgend auch von dem Gateoxid bzw. der Gateelektrode bedeckt wird. Auf diese Weise treten Ecken-Effekte noch deutlicher hervor.

Erfolgt die Entfernung des isolierenden Materials aus der Grabenisolation mittels der oben beschriebenen isotropen Ätzung, so enthält die Gateelektroden-Kante eine besonders spitz zulaufende Form, in welcher der Ecken-Effekt besonders

stark ausgeprägt ist. Durch die Dauer der isotropen Ätzung kann die Geometrie und Lage der Gateelektrode beeinflusst werden. Bei einer entsprechend langen Ätzdauer enthält man nach der Strukturierung der Gateelektrode eine Gateelektrode, die um die Source/Drain-Kante des oberen Source/Drains-Gebiets herumgeführt ist, wodurch ein besonders ausgeprägter Eckeneffekt erreicht wird.

In einer besonders bevorzugten Variante des erfindungsgemäßen Verfahrens wird der Vertikaltransistor als Teil einer Speicherzelle über einem Speicherkondensator strukturiert. Besonders bevorzugt ist es, dass der Vertikaltransistor als Teil einer DRAM-Speicherzelle strukturiert wird.

Im Folgenden soll die Erfindung anhand einiger Ausführungsbeispiele erläutert und in Figuren dargestellt werden. Es zeigen:

Figuren 1-1 bis 1-14 eine erste Ausführungsform des erfindungsgemäßen Verfahrens,

Figuren 2-1 bis 2-7 eine zweite Ausführungsform des erfindungsgemäßen Verfahrens,

Figur 3 Strom-Spannungs-Kurven eines gemäß dem erfindungsgemäßen Verfahrens hergestellten Vertikaltransistors und eines herkömmlichen Vertikaltransistors.

30

Figur 1-1 zeigt ein Substrat 10, in dem ein erster Graben 19 mittels eines chemisch-physikalischen Trockenätzverfahrens erzeugt wurde. Bei dem Substrat 10 handelt es sich beispielsweise um ein mit Bor dotiertes monokristallines Silizium. Auf dem Grabenboden 13 wurde eine Isolationsschicht 15 aus Siliziumnitrid abgeschieden. Unterhalb des Grabenbo-

dens 13 wurde durch ein entsprechendes Dotierverfahren das untere Source/Drain-Gebiet 11 in dem Substrat 10 erzeugt.

In Figur 1-2 ist ein Schnitt durch das Substrat 10 entlang der gestrichelten Linie 1-2 aus Figur 1-1 dargestellt. Diese Ansicht verdeutlicht den rechteckigen Grundriss des ersten Grabens 19. Entsprechend weist der erste Graben 19 eine erste Grabenwand 14a, die der ersten Grabenwand 14a gegenüberliegende Grabenwand 14c sowie die weiteren sich gegenüberliegenden Grabenwände 14b und 14d auf. Die erste Grabenwand 14a hat eine Länge L1 sowie die Höhe H1. Aus der Figur 1-2 geht hervor, dass der erste Graben 19 teilweise in das zuvor in dem Substrat 10 durch ein entsprechendes Dotierverfahren erzeugte obere Source/Drain-Gebiet 12 hineinragt. Alternativ könnte jedoch die relative Lage des ersten Grabens 19 zu dem oberen Source/Drain-Gebiet 12 auch derart sein, dass der erste Graben 19 nur entlang seiner Grabenwand 14d an das obere Source/Drain-Gebiet angrenzt.

Wie in Figur 1-3 dargestellt ist, wird anschließend auf den Grabenwänden des ersten Grabens 19 das Opfer-Gateoxid 16 durch thermische Oxidation erzeugt. Um eine Oxidation der Substratoberfläche außerhalb des ersten Grabens 19 zu vermeiden, kann es erforderlich sein, diese durch eine entsprechende Maske zu schützen. Diese Maske kann nach der Herstellung des Opfer-Gateoxid 16 dann wieder entfernt werden.

In einem nächsten Schritt, der in Figur 1-4 dargestellt ist, wird innerhalb des Grabens 19 die Opfer-Gateelektrode 17 auf dem Opfer-Gateoxid erzeugt. Dies erfolgt durch konforme Abscheidung einer Polysiliziumschicht auf dem Substrat 10 und in dem ersten Graben 19 und einer sich daran anschließenden anisotropen Ätzung des Polysilizium, das dadurch selektiv in den vertikalen Bereichen der Substratoberfläche und des Grabenbodens 13 bzw. der Isolationsschicht 15 entfernt wird. Anschließend wird zur Herstellung der Grabenisolation eine Maske 18 auf dem Substrat bzw. in dem ersten Graben 19 abge-

schieden und anschließend strukturiert (Figur 1-5). Dies kann beispielsweise durch eine geeignete Lithographietechniken erfolgen. Solche Verfahren sind dem Fachmann bekannt und müssen hier nicht weiter beschrieben werden. Nach der Strukturierung der Maske 18 wird durch eine oder mehrere Ätzverfahren der zweite Graben 20 geätzt (Figur 1-6).

Der zweite Graben 20 weist einen Grabenisolationsboden 21, die erste Grabenisolationswand 22a sowie weitere Grabenisolationswände 22b auf, von denen in Figur 1-6 nur die erste Wand 22a und die ihr gegenüberliegende Wand 22b gezeigt sind. In der in Figur 1-6 gezeigten Darstellung sind nicht alle Grabenisolationswände gezeigt. Die erste Grabenisolationswand 22a weist eine Höhe H1 auf. Wie in Figur 1-7 gezeigt, wird der zweite Graben 20 anschließend einer thermische Oxidation unterzogen, wodurch der Grabenboden 21 sowie die Grabenwände 22a, 22b, insofern sie durch das Substrat 10 gebildet werden, oxidiert werden, und in diesen Bereichen eine Oxidschicht 23 gebildet wird. Die Oxidschicht 23 unterstützt die anschließende Abscheidung von Siliziumdioxid in den zweiten Graben 20. Anschließend wird die Grabenisolation 23 planarisiert und anschließend die Maske 18 entfernt, sodass man die in Figur 1-8 gezeigte Struktur erhält. In Figur 1-9 ist ein Schnitt durch das Substrat entlang der Linie 1-9 aus Figur 1-8 dargestellt. Die Grabenisolation 23 ist in Figur 1-9 nicht in ihrer ganzen Länge L2 dargestellt. Durch die bisher beschriebenen Verfahrensschritte wurde in dem Substrat 10 ein Vertikaltransistor erzeugt, der sich entlang der Grabenwände 14a, 14c und 14d erstreckt. Die zweite Grabenwand 14b des ersten Grabens 19 wird im Bereich der Länge L3 durch einen Teilbereich der ersten Grabenisolationswand 22a gebildet.

An der Schnittfläche zwischen der zweiten Grabenwand 14b bzw. der ersten Grabenisolationswand 22a und der ersten Grabenwand 14a wird die erste Source/Drain-Kante 24 gebildet. Die zweite Source/Drain-Kante 25 wird entsprechend an der Schnittfläche zwischen der zweiten Grabenwand 14b bzw. der

ersten Grabenisolationswand 22a sowie der Grabenwand 14c gebildet. Die erste Gateelektroden-Kante 29 wird durch den Bereich definiert, in dem das Opfer-Gateoxid 16 und die Opfer-Gateelektrode 17 durch die zweite Grabenwand 14b des ersten Grabens begrenzt wird. Entsprechendes gilt für die zweite Gateelektroden-Kante 30.

In Figur 1-9 ist der durch den gestrichelten Kreis eingeschlossene Bereich in Vergrößerung separat in dem zweiten Kreis dargestellt. Aus dieser Vergrößerung geht hervor, dass die so erzeugte erste Gateelektroden-Kante 29 keine scharf definierte, im wesentlichen rechtwinklige Kante ist, sondern dass es aufgrund der thermischen Oxidation des zweiten Grabens 20 an der Grenzfläche zwischen Opfer-Gateelektrode 17 und Opfer-Gateoxid 16 zur Ausbildung eines so genannten Vogelschnabels 26 kommt. Da im Zuge der vorliegenden Erfindung überraschenderweise festgestellt wurde, dass die Ausbildung eines solchen Vogelschnabels sich nachteilig auf die Strom-Spannungs-Charakteristik des Vertikaltransistors auswirkt, werden sowohl die Opfer-Gateelektrode 17 als auch das Opfer-Gateoxid 16 wieder aus dem ersten Graben 19 entfernt.

Im Gegensatz zu dem ursprünglich strukturierten ersten Graben 19 weist der nun vorliegende erste Graben 19 eine geringere Länge auf, da die zweite Grabenwand 14b durch einen Teilbereich der ersten Grabenisolationswand 22a gebildet wird. Die Opfer-Gateelektrode 17 kann beispielsweise durch ein geeignetes chemisch-physikalisches Trockenätzverfahren z.B. mit F- oder Cl-haltigen Ätzgasen entfernt werden. Zur Entfernung des Opfer-Gateoxids 16 wird eine naßchemischen Ätzung, vorzugsweise eine HF-haltige Ätzflüssigkeit, verwendet. Durch diese isotrope Ätzung wird im Bereich der zweiten Grabenwand 14b auch ein Teil der Grabenisolation 23, die wie das Opfer-Gateoxid 16 ebenfalls aus Siliziumdioxid besteht, entfernt. Da die Ätzung isotrop erfolgt, werden durch diese Ätzung die erste und die zweite Source/Drain-Kante 24, 25 freigelegt. Nachdem das Opfer-Gateoxid 16 und die Opfer-

Gateelektrode 17 entfernt worden sind, wird in einem nächsten Schritt, der in Figur 1-11 dargestellt ist, das Gateoxid 27 durch thermische Oxidation auf den Grabenwänden 14a, 14c, und 14d erzeugt. Dazu kann es erneut nötig sein, die Teile des Substrats durch eine entsprechende Maske zu schützen, die nicht oxidiert werden sollen. Diese Maske kann dann anschließend wieder entfernt werden. Anschließend wird wie bereits zu Figur 1-4 beschrieben die Gateelektrode 28 strukturiert.

10 In Figur 1-13 ist ein Schnitt durch das Substrat entlang der Linie 1-13 in Figur 1-12 gezeigt. Durch die isotrope Ätzung des Opfer-Gateoxids 16 ist der Vertikaltransistor mit seiner zweiten Grabenwand 14b in die zuvor strukturierte Grabenisolation geschoben, wobei die zweite Grabenwand 14b erneut bedingt durch die isotrope Ätzung nun eine Länge L4 aufweist, die länger als die ursprüngliche Länge L3 ist. Der durch den gestrichelten Kreis gekennzeichnete Bereich des Vertikaltransistors ist in Figur 1-13 in dem zweiten Kreis vergrößert dargestellt. Aus dieser Vergrößerung geht hervor, dass die erste Gateelektroden-Kante 29 um die erste Source/Drain-Kante herumgeführt wurde und einen sehr engen inneren Winkel α aufweist, der wesentlich geringer als 90° ist. Diese Form der ersten Gateelektroden-Kante 29 wird durch die Kombination der isotropen Ätzung des Opfer-Gateoxid 16 und der anschließenden Erzeugung des Gateoxids 27 durch thermische Oxidation erreicht. Aufgrund der beschriebenen Form der Gate-Elektrode weist dieser Vertikaltransistor einen ausgeprägten Eckeneffekt auf, durch den seine Strom-Spannung-Charakteristik deutlich verbessert wird. Abschließend werden das obere das untere Source/Drain-Gebiet 11,12 kontaktiert, was in Figur 1-14 dargestellt ist. Dazu wird eine zweite isolierende Schicht 31 auf der Substratoberfläche und in dem ersten Graben 19 abgeschieden, wobei diese zweite isolierende Schicht gleichzeitig planarisierend wirkt.

Anschließend können mittels eines geeigneten photolithographischen Verfahrens Kontaktlöcher in die Phosphorglas-

schicht strukturiert und anschließend mit einem elektrisch leitfähigen Material aufgefüllt werden, wodurch der erste Kontakt 32 und der zweite Kontakt 33 gebildet werden.

5 In den Figuren 2-1 bis 2-7 ist eine weitere Ausführungsform des erfindungsgemäßen Verfahrens dargestellt, in welcher der Vertikaltransistor einen Teil einer DRAM-Speicherzelle bildet.

10 Figur 2-1 zeigt ein Substrat 10, beispielsweise ein Bordotiertes monokristallines Silizium, in dem bereits mehrere Speicherkondensatoren strukturiert wurden. Die Speicherkondensatoren sind in Figur 2-1 nicht vollständig abgebildet. Es ist lediglich der oberen Bereich der Speicherkondensatoren
15 gezeigt. Die innere Elektrode 34 der Speicherkondensatoren wird durch den Isolatorbogen 35 von dem Substrat 10 getrennt. Oberhalb des Isolatorbogens schließt sich ein Kontaktbereich an, der nach oben durch die auf dem Grabenboden 13 des ersten Grabens 19 abgeschiedene erste Isolations-
20 schicht 15 begrenzt wird. Der Kontaktbereich gewährleistet eine elektrische Verbindung zwischen dem unteren Source/Drain-Gebiet 11 und der inneren Speicherelektrode 34. Wie in Figur 2-1 teilweise dargestellt ist, wurden in dem ersten Graben 19 mit den Grabenwänden 14a bis 14d bereits das Opfer-
25 Gateoxid 16 und die Opfer-Gateelektrode 17 erzeugt. An der Substratoberfläche, angrenzend an das Opfer-Gateoxid 16, wurde das obere Source/Drain-Gebiet 12, beispielsweise durch ein geeignetes Dotierverfahren, in dem Substrat 10 erzeugt. Zur Erzeugung der in Figur 2-1 gezeigten Strukturen können her-
30 kömmliche Verfahren eingesetzt werden, die dem Fachmann bekannt sind und teilweise bereits im Zusammenhang mit der zuvor beschriebenen Ausführungsform der vorliegenden Erfindung beschrieben wurden.

35 In Figur 2-2 ist ein Schnitt durch das Substrat 10 entlang der Linie 2-2 aus Figur 2-1 gezeigt. Aus Figur 2-2 geht hervor, dass der Grundriss des zu diesem Zeitpunkt durch die

Opfer Gateelektrode 17 und das Opfer-Gateoxid 16 aufgefüllten ersten Grabens 19 rechteckig ist, so dass der erste Graben 19 die erste Grabenwand 14a, die ihr gegenüberliegende Grabenwand 14c, die zweite Grabenwand 14 b sowie die ihr gegenüberliegende Grabenwand 14d umfasst. Weiterhin geht aus der Figur 2-2 hervor, dass Grabenisolationen 23 entlang der Grabenwände 14b und 14d strukturiert wurden. Die Strukturierung der Grabenisolation 23 kann dabei wie bereits im Zusammenhang mit der ersten Ausführungsform der vorliegenden Erfindung beschrieben wurde durchgeführt werden.

In Figur 2-2 werden die erste und die zweite Source/Drain-Kante 24, 25 ebenfalls durch die erste Grabenwand 14a sowie die erste Grabenisolationswand 22a der jeweiligen Grabenisolation 23 definiert. Die erste und zweite Gateelektroden-Kante 29, 30 werden entsprechend durch die zweite Grabenwand 14b bzw. die ihr gegenüberliegende Grabenwand 14d und die Grenzfläche zwischen Opfer-Gateoxid 16 und Opfer-Gateelektrode 17 definiert.

20

In Figur 2-2 ist der in dem gestrichelten Kreis gezeigte Bereich des Vertikaltransistors in Vergrößerung in dem zweiten Kreis dargestellt. Aus der Vergrößerung geht erneut hervor, dass aufgrund der thermischen Oxidation zur Erzeugung des Opfer-Gateoxids keine scharfe, d. h. im wesentlichen rechtwinklige, erste Gateelektroden-Kante 29 erhalten wird, sondern dass auch hier ein Vogelschnabel 26 ausgebildet wird. Um die damit verbundenen nachteiligen Effekte zu vermeiden, werden in einem anschließenden Schritt, der in Figur 2-3 gezeigt ist, die Opfer Gateelektrode 17 und das Opfer Gateoxids 16 aus dem ersten Graben 19 entfernt. Dies kann erneut mittels eines chemisch-physikalischen Ätzverfahrens für die Opfer-Gateelektrode 17 bewerkstelligt werden. Das Opfer-Gateoxid 16 hingegen wird erneut durch eine isotrope, naßchemische Ätzung entfernt.

Wie bereits im Zusammenhang mit der ersten Ausführungsform des erfindungsgemäßen Verfahrens beschrieben wurde, werden durch die isotrope naßchemische Ätzung die erste und die zweite Source/Drain-Kante 24,25 freigelegt, da auch hier
5 durch die Ätzung ein an die zweite Grabenwand 14b angrenzender Bereich mit einer Länge L_4 , die länger ist als die ursprüngliche Länge L_3 der zweiten Grabenwand 14b, der Grabenisolation 23 entfernt wird.

10 Wie in Figur 2-5 dargestellt, wird anschließend das Gateoxid 27 durch thermische Oxidation der entsprechenden Grabenwände des ersten Grabens erzeugt. Wie bereits oben beschrieben, kann es nötig sein bei der thermischen Oxidation die Bereiche des Substrats, die nicht oxidiert werden sollen,
15 mittels einer geeigneten Maske zu schützen, die nach der Oxidation wieder entfernt werden kann. Anschließend wird der erste Graben 19 mit Polysilizium gefüllt, wodurch die Gateelektrode 28 erzeugt wird.

20 In Figur 2-6 ist ein Schnitt durch das Substrat entlang der Linie 2-6 aus Figur 2-5 dargestellt. Der die erste Gateelektroden Kante 29 sowie die erste Source/Drain-Kante 24 umfassende Bereich, der durch den gestrichelten Kreis begrenzt wird, ist in Vergrößerung in dem größeren Kreis aus
25 Figur 2-6 dargestellt.

Bedingt durch die isotropen Ätzung des Opfer-Gateoxid 16 und der anschließenden Erzeugung des Gateoxids 27 durch thermische Oxidation des Substrats weist die resultierende Gateelektroden-Kante 29 ebenfalls einen inneren Winkel α von
30 wesentlich weniger als 90° auf. Im Gegensatz zu der zuvor beschriebenen Ausführungsform des erfindungsgemäßen Verfahrens wurde hier die isotropen Ätzung für einen kürzeren Zeitraum durchgeführt, wodurch weniger Material der Grabenisolation 23
35 bei der Ätzung mitentfernt wurde, und somit die erste Gateelektroden-Kante 29 nicht um die erste Source/Drain-Kante 24 herumgeführt wurde, sondern lediglich in Richtung der er-

sten Source/Drain-Kante 24 verschoben wurde. Auch diese Geometrie der Gateelektroden-Kante 29 bewirkt einen ausgeprägten Ecken-Effekt, der die Strom-Spannung-Charakteristik des Vertikaltransistors deutlich verbessert.

5

Abschließend wird durch weitere Verfahrensschritte, auf die hier nicht im Einzelnen eingegangen werden muss, die Speicherzelle vervollständigt. Dazu werden, wie in Figur 2-7 dargestellt, die Gateelektrode durch Veränderung der Form, sowie durch Hinzufügen der Barrierschicht 36, beispielsweise einer Wolframnitridschicht, der Metallschicht 37, beispielsweise einer Wolframschicht, sowie der Isolationskappe 38 vervollständigt. Gleichzeitig mit der Vervollständigung der Gateelektroden-Struktur können oberhalb der oberen Source/Drain-Gebiete gelegene, vorbeilaufende Wortleitungen sowie die zu der beschriebenen Speicherzelle gehörende Bitleitung 39 strukturiert werden. Für alle diese Strukturierungsschritte können herkömmliche, dem Fachmann bekannte Verfahren und Methoden eingesetzt werden.

20

In Figur 3 ist jeweils eine Strom-Spannung-Kurve eines herkömmlichen Vertikaltransistors und eines nach dem erfindungsgemäßen Verfahren hergestellten Vertikaltransistors gezeigt, wobei beide Vertikaltransistoren den in den Figuren 2-1 bis 2-7 gezeigten Aufbau aufweisen, der herkömmliche Vertikaltransistor allerdings den Vogelschnabel zwischen seinem Gateoxid und seiner Gateelektrode aufweist, wohingegen der erfindungsgemäße Vertikaltransistor die beschriebene, wesentlich spitzere Gateelektroden-Kante ohne Vogelschnabel aufweist.

30

Aus den in Figur 3 gezeigten Kurven geht hervor, dass beide Vertikaltransistoren einen vergleichbaren, sehr geringen Reststrom im abgeschalteten Zustand aufweisen. Im Gegensatz zu dem herkömmlichen Transistor weist der erfindungsgemäße Transistor allerdings einen wesentlich steileren Abfall der Stromstärke mit abnehmender Spannung an der Gateelektrode

35

auf. Der erfindungsgemäße hergestellte Vertikaltransistor weist somit einen wesentlich verbesserten so genannten "subthreshold-slope" auf.

- 5 Die in Figur 3 dargestellten Strom-Spannungs-Kurven verdeutlichen darüber hinaus, dass der erfindungsgemäß hergestellte Vertikaltransistor im eingeschalteten Zustand einen wesentlich höheren, so genannten "On-Strom" aufweist.

10

Bezugszeichenliste

15

- 10 Substrat
- 11 unteres Source/Drain-Gebiet
- 12 oberes Source/Drain-Gebiet
- 13 Boden
- 20 14a erste Grabenwand
- 14b zweite Grabenwand
- 14c dritte Grabenwand
- 14d vierte Grabenwand
- 15 erste Isolationsschicht
- 25 16 Opfer-Gateoxid
- 17 Opfer-Gateelektrode
- 18 Maske
- 19 erster Graben
- 20 zweiter Graben
- 30 21 Grabenisolationsboden
- 22a erste Grabenisolationswand
- 22b zweite Grabenisolationswand
- 23 Grabenisolation
- 24 erste Source/Drain-Kante
- 35 25 zweite Source/Drain-Kante
- 26 Vogelschnabel
- 27 Gate-Oxid

- 28 Gateelektrode
- 29 erste Gateelektroden-Kante
- 30 zweite Gateelektroden-Kante
- 31 zweite isolierende Schicht
- 5 32 erste Kontaktierung
- 33 zweite Kontaktierung
- 34 innere Kondensatorelektrode
- 35 Isolatorbogen
- 36 Barrierschicht
- 10 37 Metallschicht
- 38 Isolationskappe
- 39 Bitleitung

Patentansprüche

1. Verfahren zur Herstellung eines Vertikaltransistors mit einer Gateelektrode (28), einem Gateoxid (27), einem oberen (12) und unteren Source/Draingebiet (11) umfassend die Schritte:

a) zumindest ein erster Graben (19) wird in einem Substrat erzeugt,

b) zumindest auf einer ersten Grabenwand (14a) wird ein Opfer-Gateoxid (16) erzeugt;

c) auf dem Opfer-Gateoxid (16) wird eine Opfer-Gateelektrode (17) erzeugt;

d) eine Isolationsstruktur (23) zur Isolation unterschiedlicher Vertikaltransistoren wird erzeugt;

e) die Opfer-Gateelektrode (17) wird aus dem Graben (19) entfernt;

f) das Opfer-Gateoxid (16) wird aus dem Graben (19) entfernt;

g) ein Gateoxid (27) wird zumindest an der Stelle des Opfergateoxids (16) auf der Grabenwand erzeugt;

h) auf dem Gateoxid (27) wird eine Gateelektrode (18) erzeugt; und

i) die Source/Draingebiete (11, 12) werden erzeugt.

2. Verfahren nach Anspruch 1,

dadurch gekennzeichnet, dass das Opfer-Gateoxid (16) mittels einer isotropen Ätzung entfernt wird.

3. Verfahren nach Anspruch 1 oder 2,
dadurch gekennzeichnet, dass
das Opfer-Gateoxid (16) mittels einer naßchemischen Ätzung
5 entfernt wird.

4. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass als Isolations-
struktur (23) eine Grabenisolation verwendet wird.

10

5. Verfahren nach Anspruch 4,
dadurch gekennzeichnet, dass zumindest ein
zweiter Graben (20) zur Herstellung der Grabenisolation (23)
erzeugt und mit isolierendem Material gefüllt wird, wobei ei-
15 ne erste Grabenisolationswand (22a) mit der ersten Grabenwand
(14a) eine Kante (24) bildet.

6. Verfahren nach Anspruch 5,
dadurch gekennzeichnet, dass bei der Entfer-
20 nung des Opfer-Gateoxids (27) das isolierende Material der
Grabenisolation (23) im Bereich der ersten Grabenisolations-
wand entfernt wird, so dass zumindest eine Substratkante (24,
25) freigelegt wird.

25 7. Verfahren nach Anspruch 6,
dadurch gekennzeichnet, dass das Gateoxid
(27) auch auf die Substratkante (24, 25) aufgebracht wird.

8. Verfahren nach Anspruch 6 oder 7,
30 dadurch gekennzeichnet, dass
die Gateelektrode (28) mit der ersten Grabenisolationswand
(22a) einen inneren Winkel α von 90° oder weniger aufweist.

9. Verfahren nach einem der vorhergehenden Ansprüche,
35 dadurch gekennzeichnet, dass
vor Schritt b) auf dem Boden des ersten Grabens eine Isolati-
onsschicht (15) erzeugt wird.

10. Verfahren nach Anspruch 9,
dadurch gekennzeichnet, dass
die Isolationsschicht (15) eine Siliziumnitridschicht ist.

5

11. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass
das Opfer-Gateoxid (16) und/oder das Gateoxid (27) durch
thermische Oxidation erzeugt werden.

10

12. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass das isolierende
Material, aus dem die Grabenisolation (23) hergestellt wird,
Siliziumdioxid ist.

15

13. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass
als Material für die Opfer-Gateelektrode (17) und/oder die
Gateelektrode (28) Polysilizium verwendet wird.

20

14. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass
der Vertikaltransistor als Teil einer Speicherzelle über ei-
nem Speicherkondensator hergestellt wird.

25

15. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass
der Vertikaltransistor als Teil einer DRAM-Speicherzelle her-
gestellt wird.

30

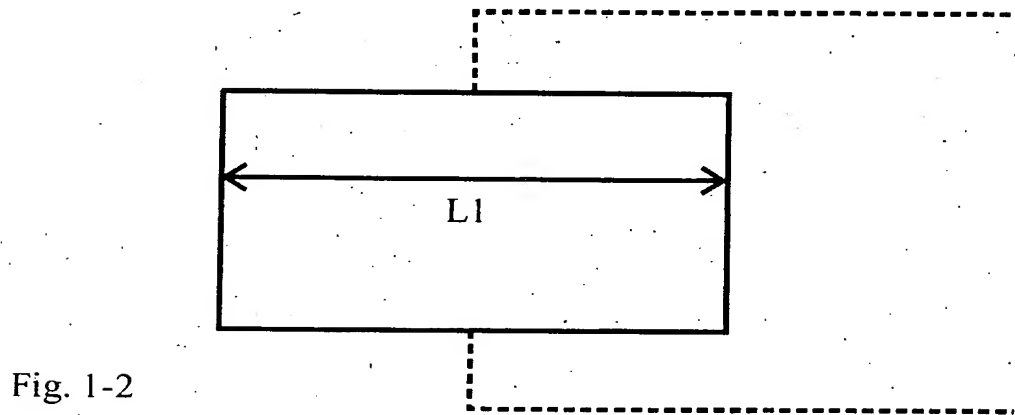
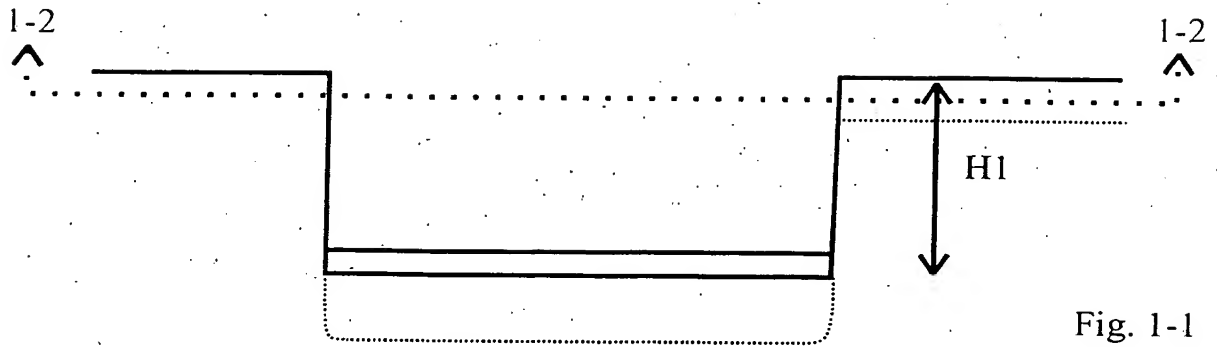
16. Vertikaltransistor mit

- Source/Drain-Gebieten und einem an zumindest einer Gra-
benwand im wesentlichen vertikal verlaufenden Kanalge-
biet;

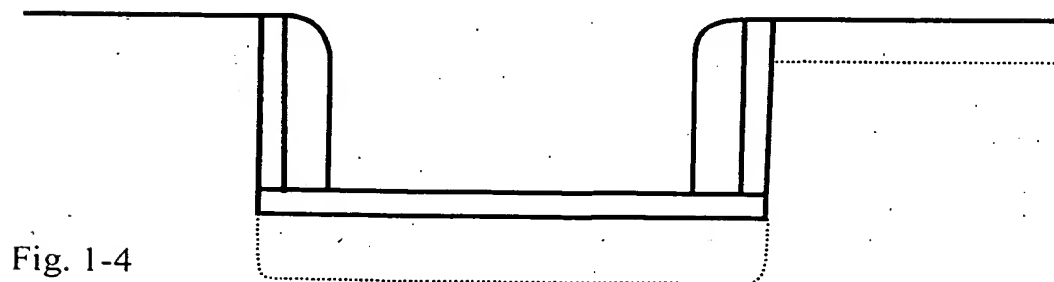
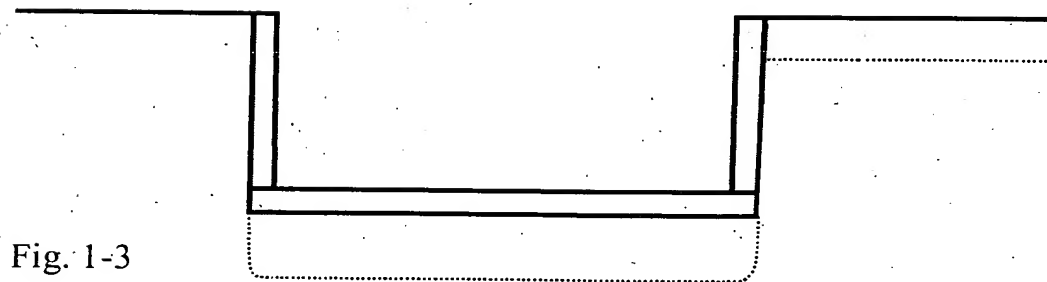
35

- einer Gateelektrode, die von dem Kanalgebiet durch ein Gateoxid isoliert ist; und
 - zumindest eine Isolationsstruktur zur Isolation unterschiedlicher Vertikaltransistoren, wobei die Isolationsstruktur die Gateelektrode begrenzt und die Gateelektrode (29) mit der Isolationsstruktur einen inneren Winkel α von 90° oder weniger aufweist.
- 5
- 10 17. Vertikaltransistor nach Anspruch 16, dadurch gekennzeichnet, dass die Isolationsstruktur (23) eine Grabenisolation ist.
- 15 18. Vertikaltransistor nach Anspruch 16 oder 17, dadurch gekennzeichnet, dass das Gateoxid (27) im dem Bereich, an dem die Isolationsstruktur (23) die Gateelektrode (28) begrenzt, eine im wesentlichen vertikale Substratkante (24, 25) bedeckt.
- 20 19. Vertikaltransistor nach Anspruch 17, dadurch gekennzeichnet, dass die Gateelektrode (28) das Gateoxid (27) im Bereich der vertikale Substratkante (24, 25) zumindest teilweise bedeckt.
- 25 20. Vertikaltransistor nach einem der Ansprüche 16 bis 19, dadurch gekennzeichnet, dass die Gateelektrode (28) mit der Isolationsstruktur (23) einen inneren Winkel α von 60° oder weniger aufweist.
- 30 21. Vertikaltransistor nach einem der Ansprüche 16 bis 20, dadurch gekennzeichnet, dass der Vertikaltransistor als Teil einer Speicherzelle über einem Speicherkondensator angeordnet ist.

1/10



5



2/10

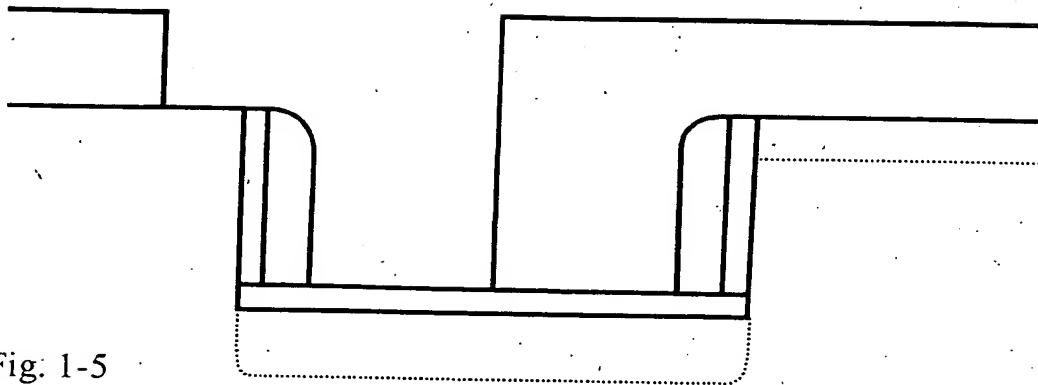


Fig. 1-5

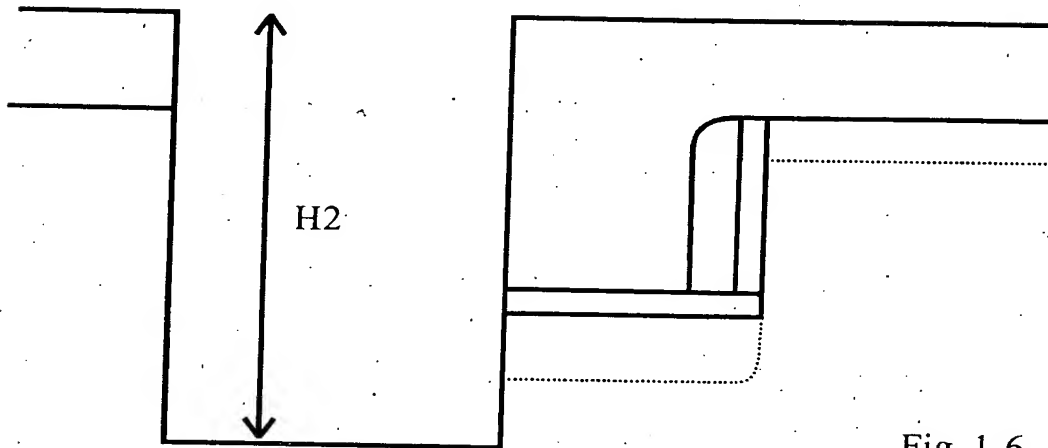


Fig. 1-6

5

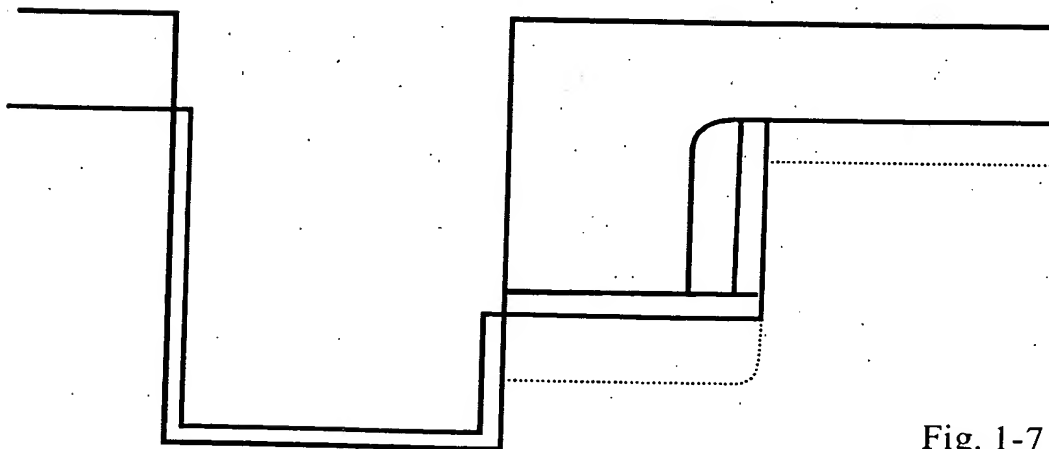


Fig. 1-7

3/10

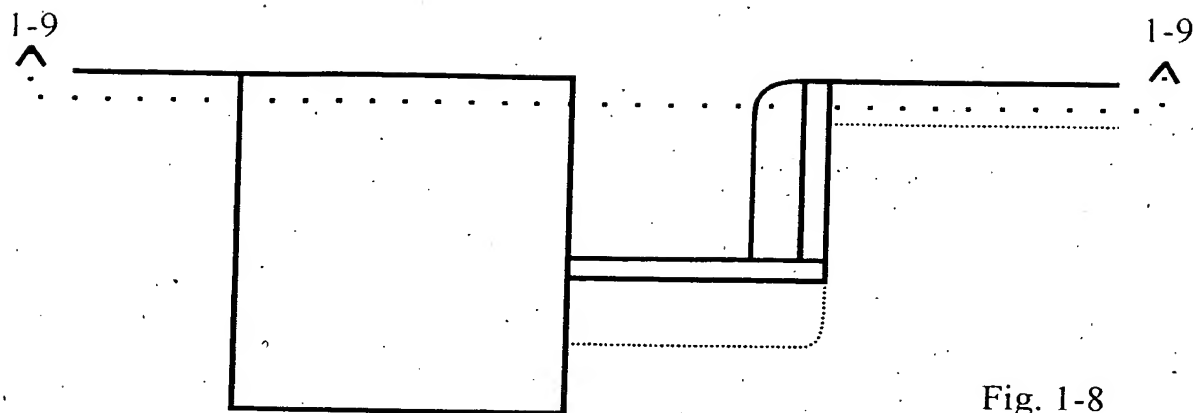
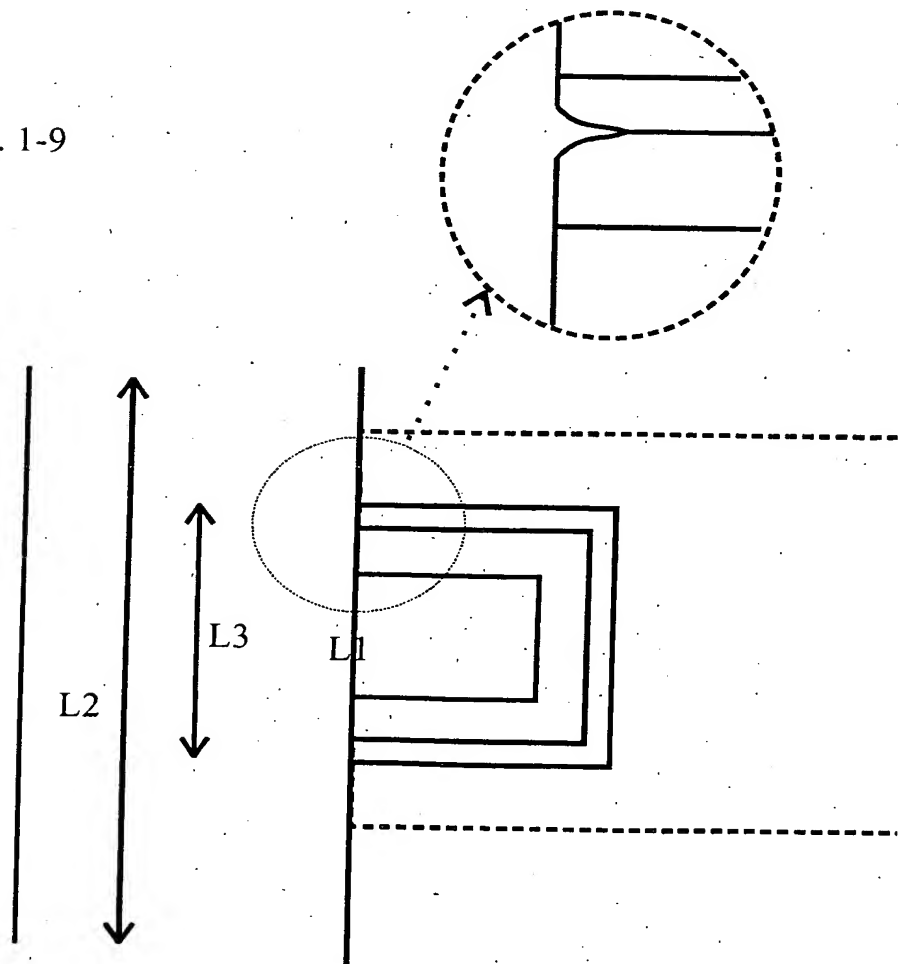


Fig. 1-8

Fig. 1-9



4/10

5

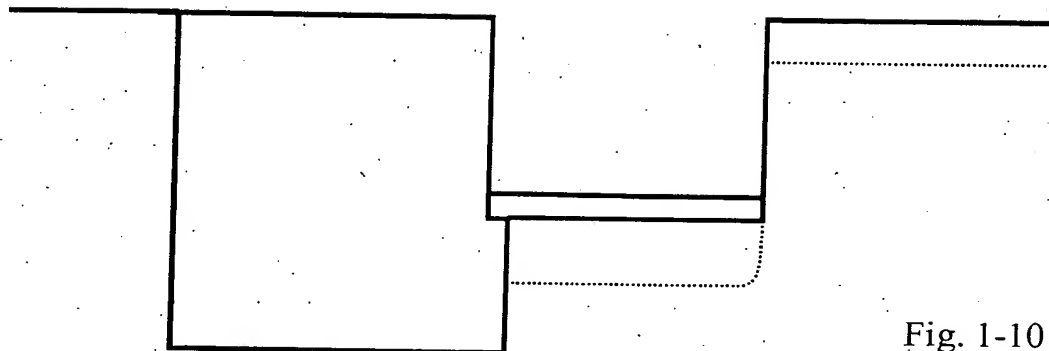


Fig. 1-10

10

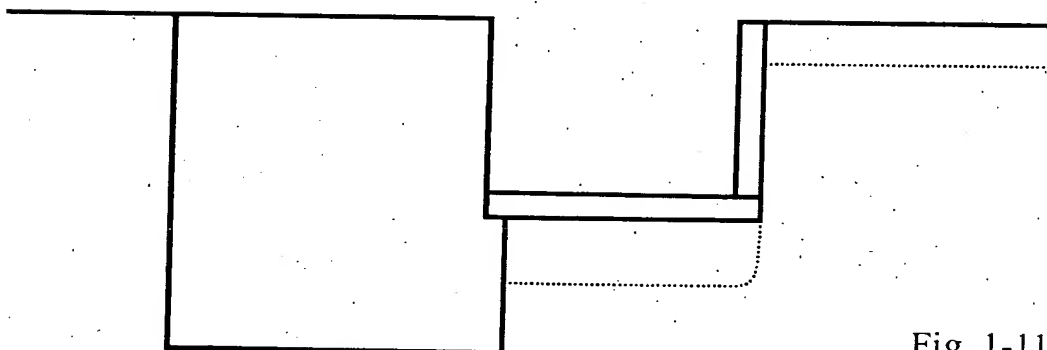
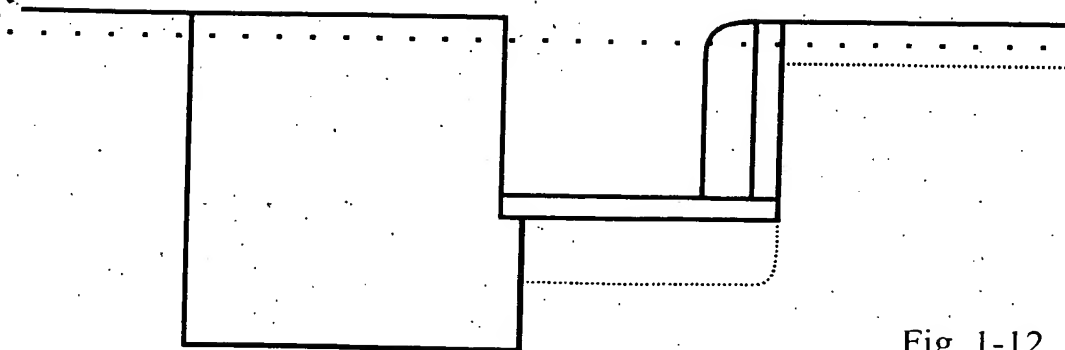


Fig. 1-11

1-13



1-13



Fig. 1-12

5/10

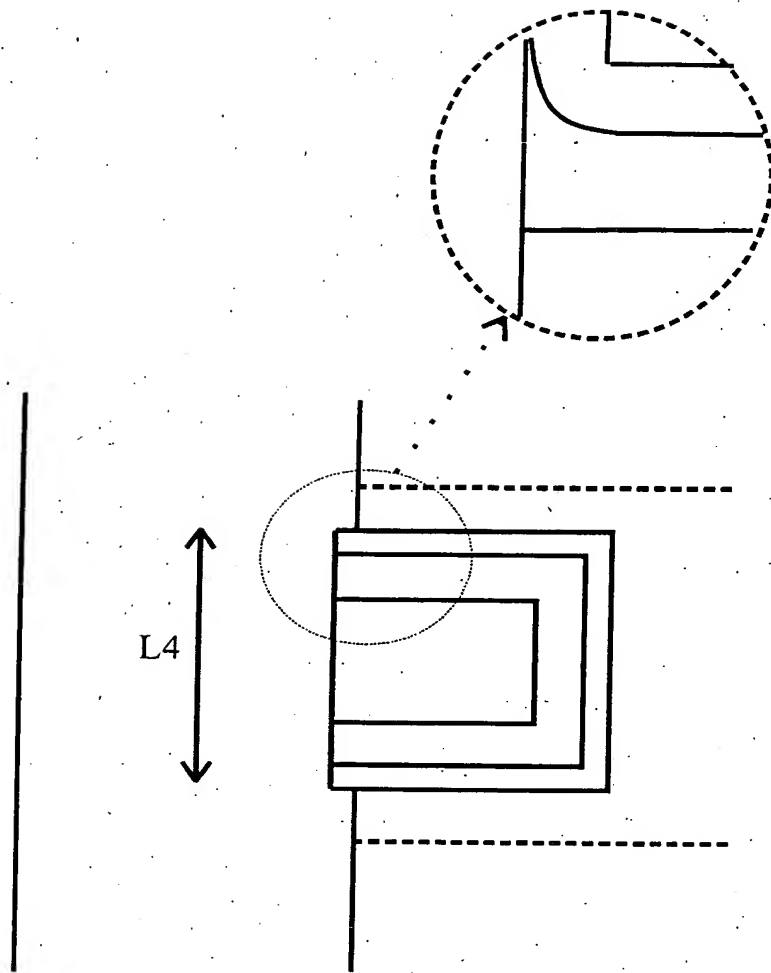


Fig. 1-13

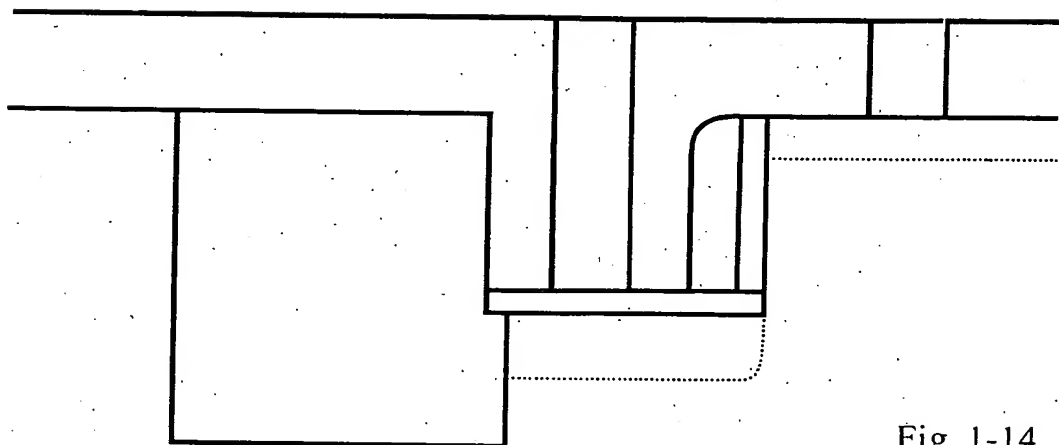


Fig. 1-14

2-2
^

2-2
^

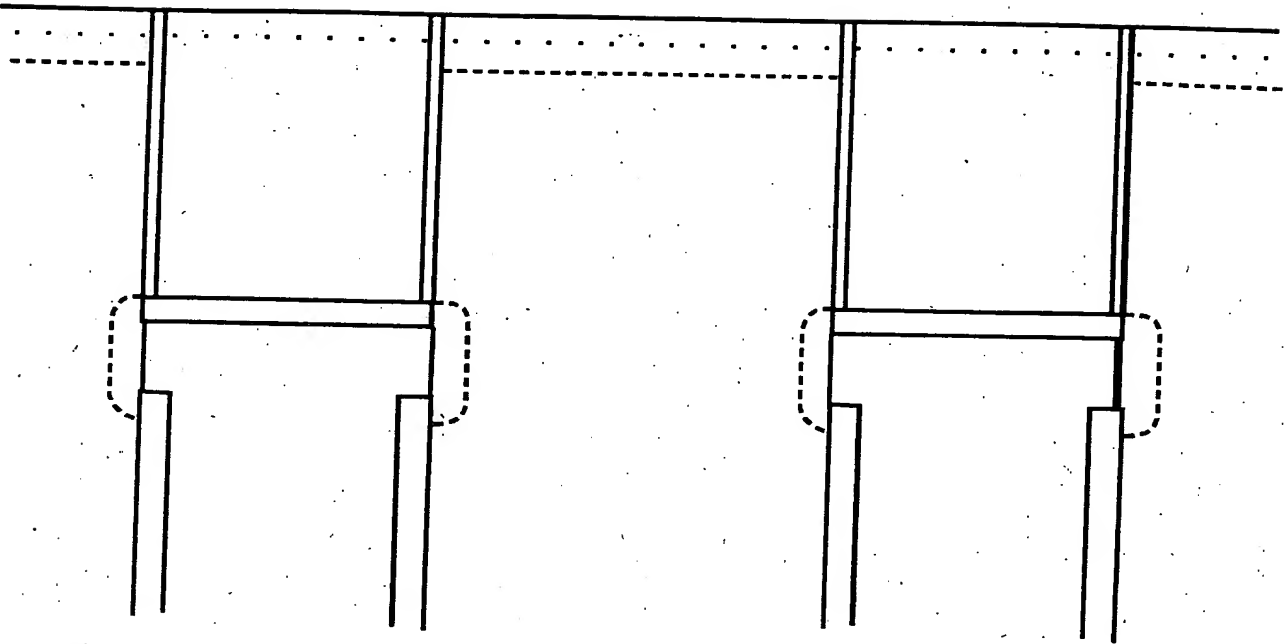


Fig. 2-1

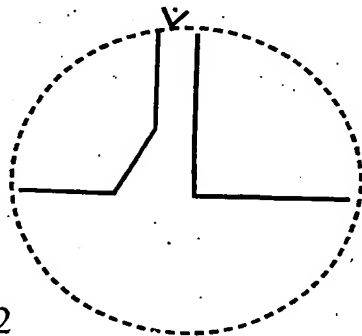
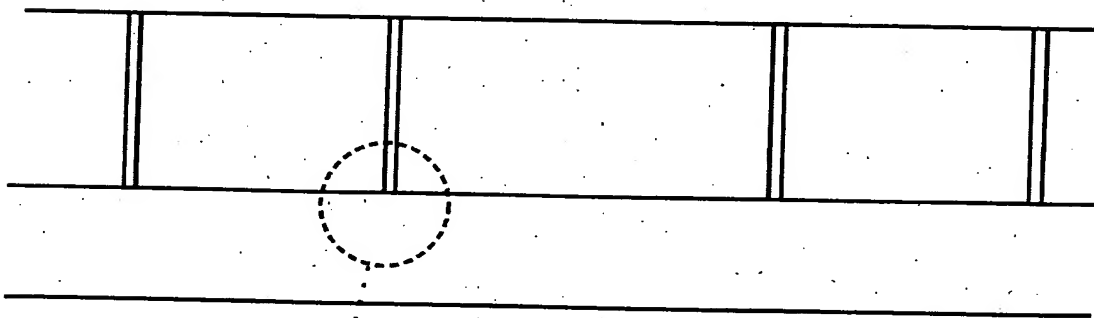


Fig. 2-2

7/10

2-4

2-4

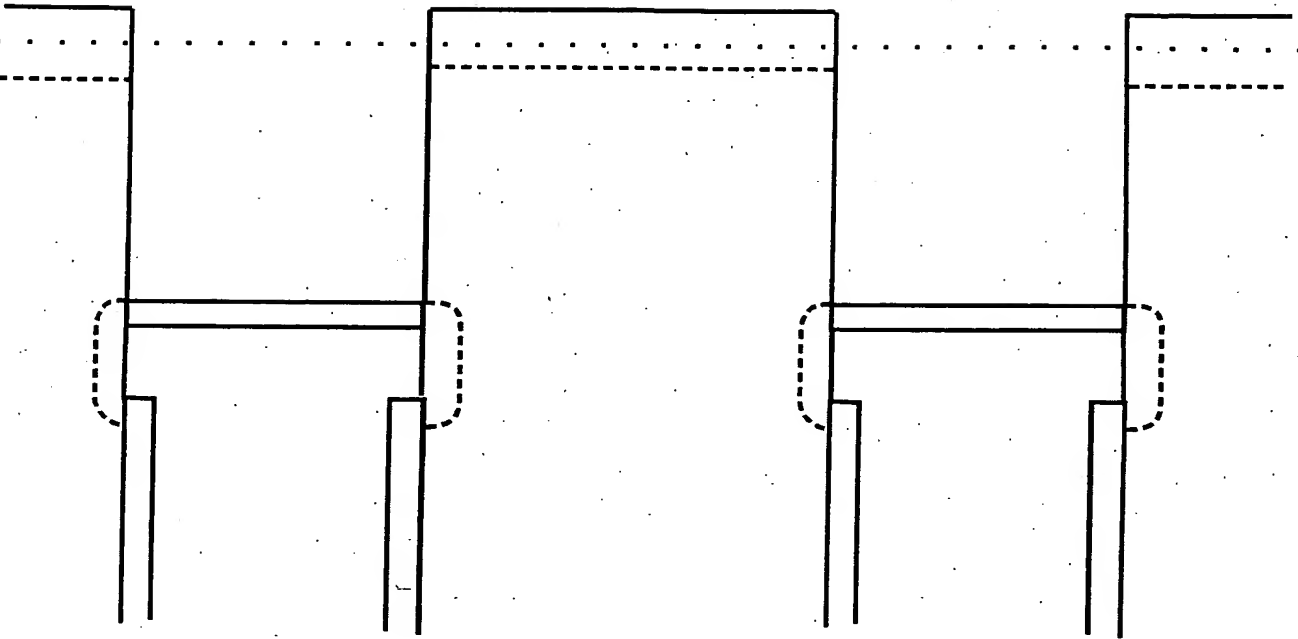


Fig. 2-3

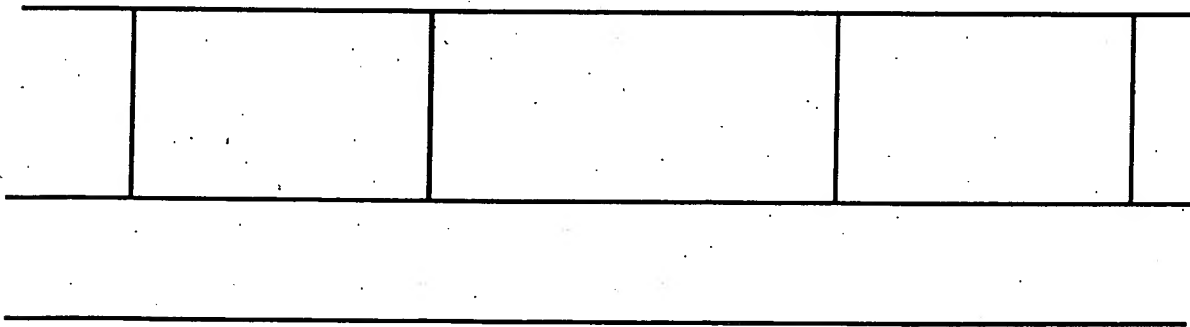


Fig. 2-4

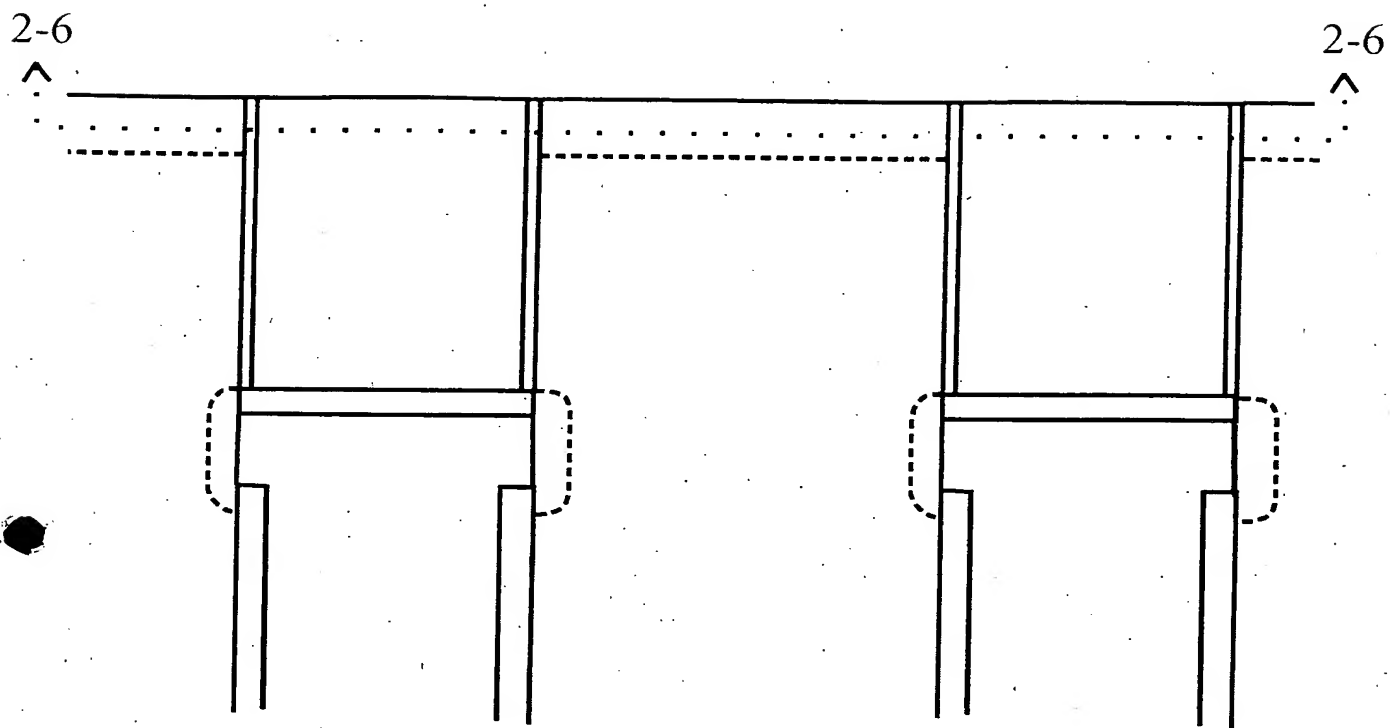


Fig. 2-5

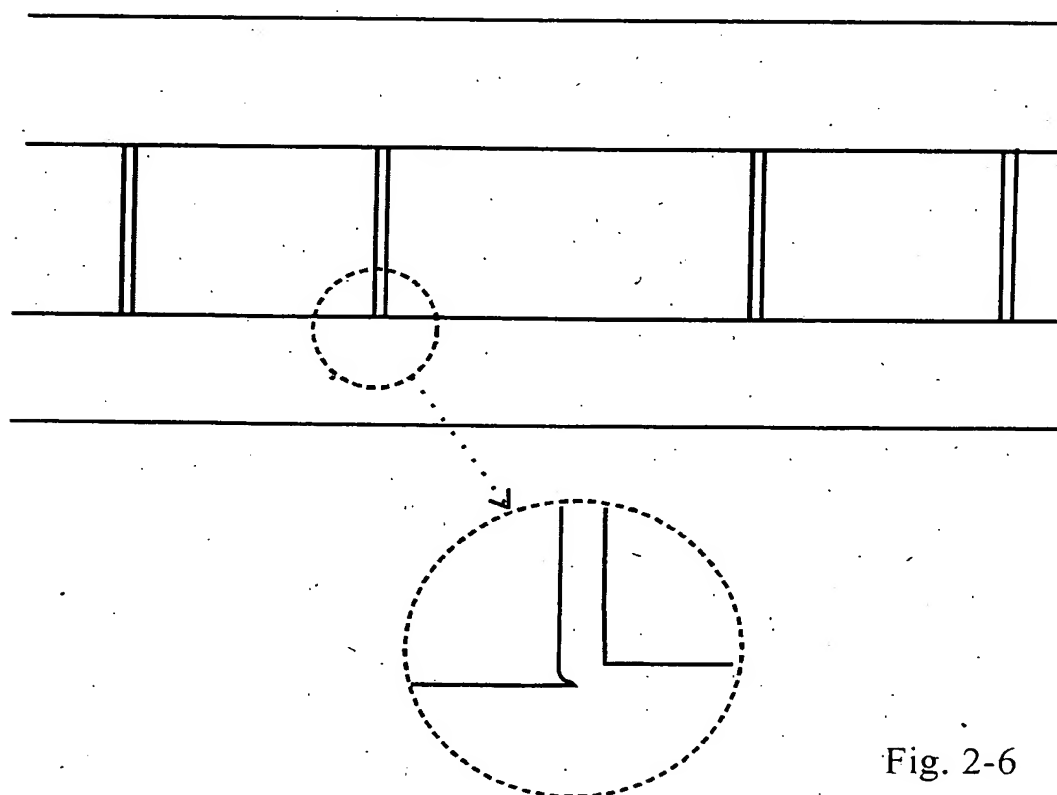


Fig. 2-6

5

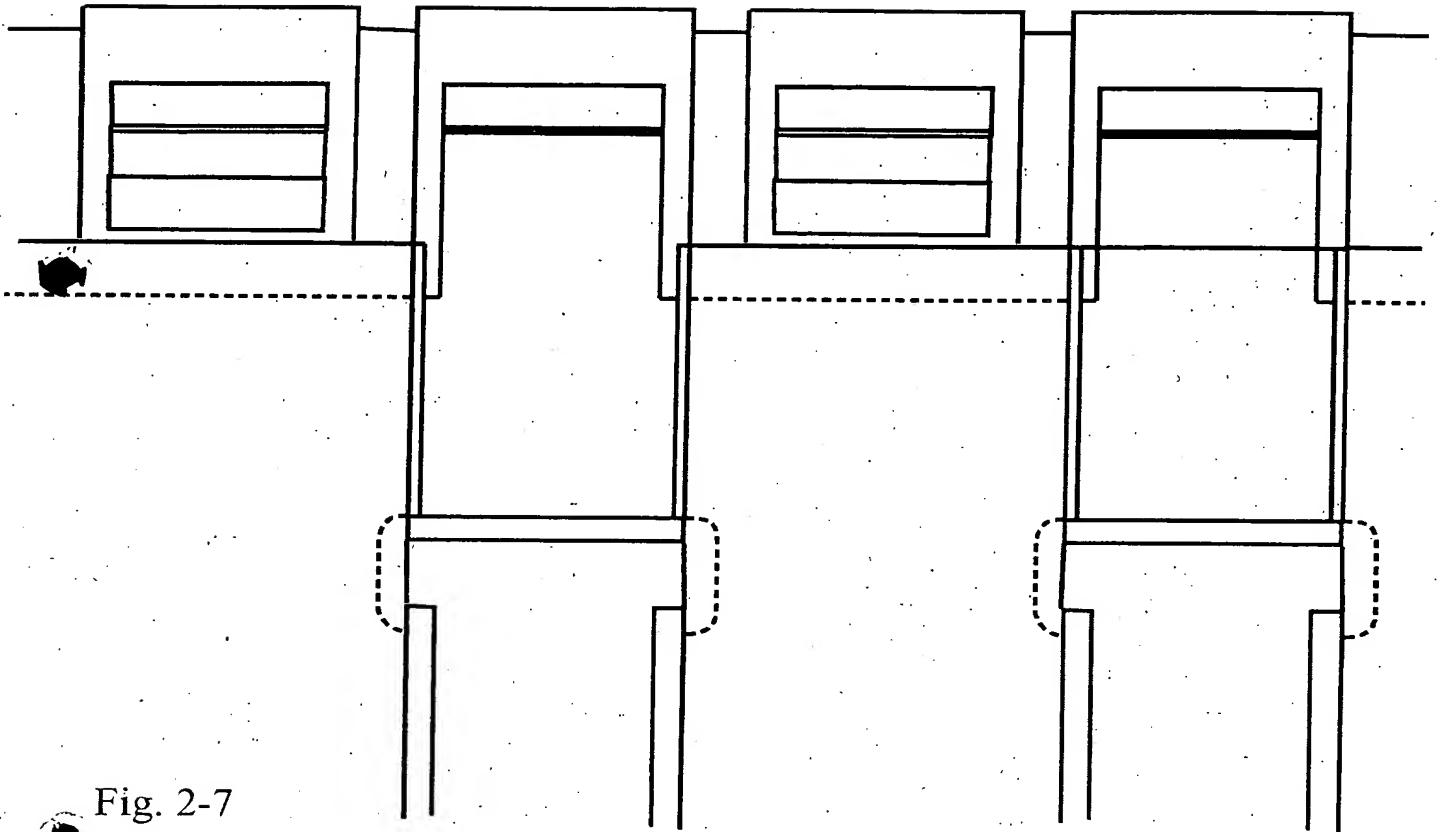


Fig. 2-7

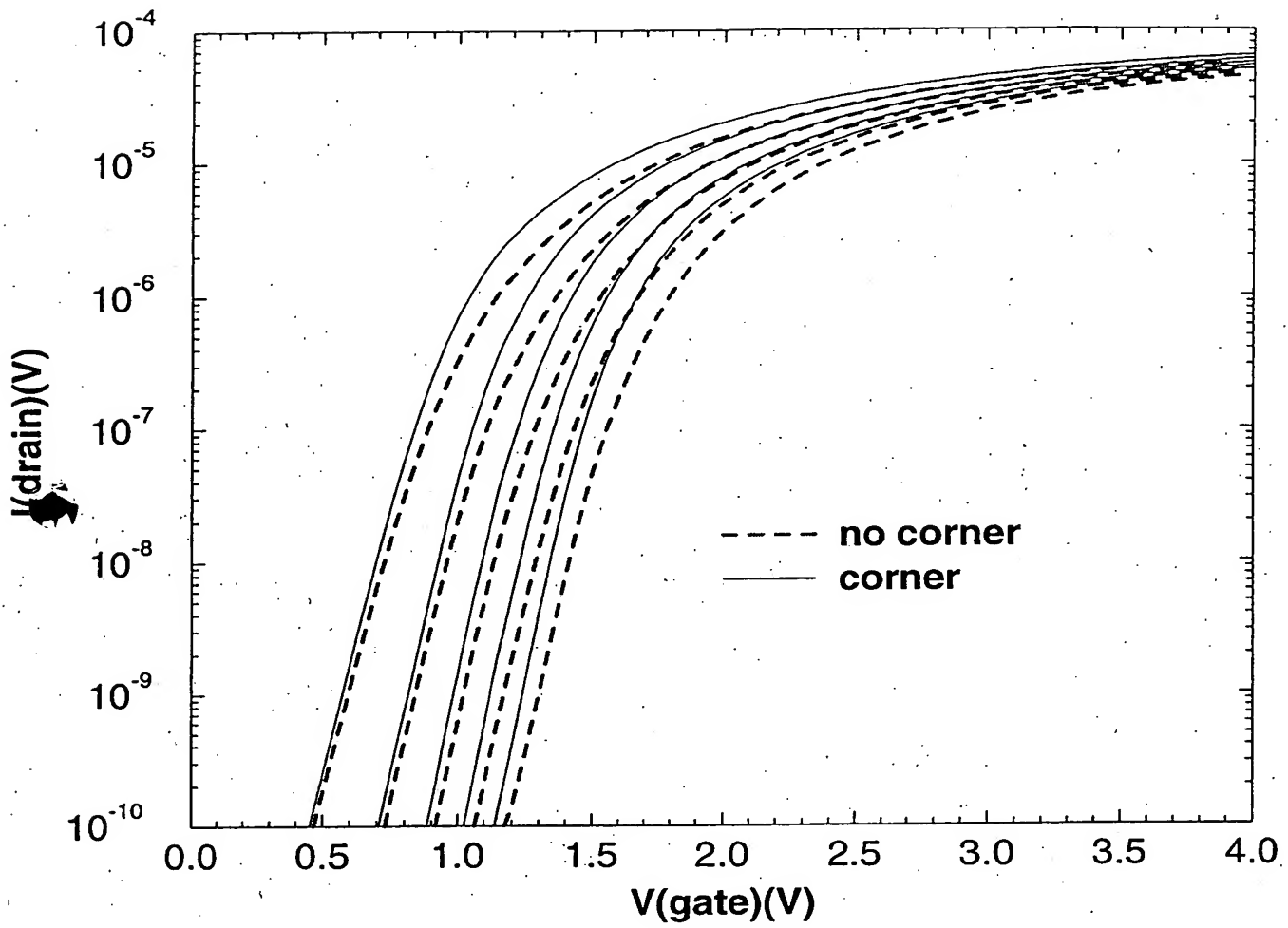


Fig. 3